

BEST AVAILABLE COPY

CLIPPEDIMAGE= JP402041542A

PAT-NO: JP402041542A

DOCUMENT-IDENTIFIER: JP 02041542 A

TITLE: BUS ABNORMALITY DETECTION PROCESSING SYSTEM FOR
COMMUNICATION PROCESSOR

PUBN-DATE: February 9, 1990

INVENTOR-INFORMATION:

NAME

KANDA, MAKOTO

TAKIZAWA, HIROSHI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP63193272

APPL-DATE: August 2, 1988

INT-CL_(IPC): G06F013/00

ABSTRACT:

PURPOSE: To prevent erroneous data from being transmitted to a host device by stopping immediately driving of a data transfer processor for executing a data transfer processing between a local bus and a system bus, when a bus abnormality detecting circuit has detected an abnormal state.

CONSTITUTION: When one of local bus abnormality detecting circuits 15, 25 and a system bus abnormality detecting circuit 35 has detected an abnormal state, data transfer processor stopping circuits 16, 26 stops immediately driving of the corresponding data transfer processors 14, 24. In such a way, when abnormality has been generated in a bus, driving of the data transfer processor is stopped immediately in accordance with a hardware, therefore, it does not occur that erroneous data is transferred. In such a way, erroneous data is not transmitted to a host device.

COPYRIGHT: (C)1990, JPO&Japio

⑫公開特許公報(A) 平2-41542

⑬Int.Cl.⁵

G 06 F 13/00

識別記号

3 5 1 M

府内整理番号

7737

⑭公開 平成2年(1990)2月9日

審査請求 未請求 請求項の数 1 (全7頁)

⑮発明の名称 通信プロセッサのバス異常検出処理方式

⑯特 願 昭63-193272

⑰出 願 昭63(1988)8月2日

⑱発明者 神田 真	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑲発明者 滝沢 洋	神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内
⑳出願人 富士通株式会社	神奈川県川崎市中原区上小田中1015番地
㉑代理人 弁理士 森田 寛	外2名

明細書

バス異常検出回路(35)と、

1. 発明の名称

通信プロセッサのバス異常検出処理方式

上記ローカルバス異常検出回路(15,25)及び上記システムバス異常検出回路(35)内の1つのバス異常検出回路が異常状態を検出したときに、ローカルバス(13,23)とシステムバス(33)との間のデータ伝送処理を実行するデータ伝送処理装置(14,24)の駆動を直ちに停止させるデータ伝送処理装置停止回路(16,26)とを備えたことを、

特徴とする通信プロセッサのバス異常検出処理方式。

2. 特許請求の範囲

低速回線(3)を介して下位装置(2)からのデータを受信処理する受信データユニット(10)と、この受信データユニット(10)により受信されたデータを高速回線(5)を介して上位装置(4)に送信処理する送信データユニット(20)と、上記受信データユニット(10)から上記送信データユニット(20)へのデータの受け渡しを実行する主データユニット(30)とからなる通信プロセッサ(1)において、

上記受信データユニット(10)及び上記送信データユニット(20)が備えるローカルバス(13,23)上のデータの異常状態をそれぞれ検出するローカルバス異常検出回路(15,25)と、

上記主データユニット(30)が備えるシステムバス(33)上のデータの異常状態を検出するシステム

3. 発明の詳細な説明

(概要)

下位装置から収集したデータ情報を上位装置へと伝送する通信プロセッサのバス異常検出処理方式に關し、

通信プロセッサのバス上のデータに異常があるとき、上位装置に誤ったデータが送信されないようにすることを目的とし、

下位装置からのデータを受信処理する受信データ

タユニットと、この受信されたデータを上位装置に送信処理する送信データユニットと、受信データユニットから送信データユニットへのデータの受け渡しを実行する主データユニットとからなる通信プロセッサにおいて、送受信データユニットが備えるローカルバス上のデータの異常状態を検出するローカルバス異常検出回路と、主データユニットが備えるシステムバス上のデータの異常状態を検出するシステムバス異常検出回路と、バス異常検出回路が異常状態を検出したときに、ローカルバスとシステムバスとの間のデータ転送処理を実行するデータ転送処理装置の駆動を直ちに停止させるデータ転送処理装置停止回路とを備えるよう構成する。

(産業上の利用分野)

本発明は、下位装置から収集したデータ情報を上位装置へと伝送する通信プロセッサのバス異常検出処理方式に関するものである。

通信プロセッサは、低速回線を介して多数の下

セッサでは、従来、バーリティチェックやECCエラーチェック等により、送受信データユニットや主データユニットのバス上のデータの異常を検出したときには、割り込み信号であるNMI信号を使って、送受信データユニットや主データユニットのCPUに対してその旨を通知するよう処理していた。そして、この異常検出通知を受け取ると、CPUは、プログラムによりバス異常の原因解析を実行するとともに、対応処理を実行するという方式を探っていたのである。

(発明が解決しようとする課題)

しかしながら、このような従来技術によるならば、CPUがDMAのデータ転送終了後にバス異常の解析対応処理に入ることから、送信データユニットから上位装置に対して、誤ったデータが送信されてしまうという恐れがあった。しかも、CPUがバス異常の原因解析をしている間に、プログラムやソースコードの破壊等といったような重大な損害をシステムに対して与えてしまうという

位装置からデータを収集するとともに、この収集したデータを組み直して、高速回線を介して上位装置に送信するよう処理することになる。このような処理を実行する通信プロセッサでは、誤ったデータが上位装置に送信されないようにする機能を備させていく必要があるとともに、この機能の実行に際して、本来の処理であるデータの高速送信処理を省すことのないようにしていく必要がある。

(従来の技術)

通信プロセッサは、自らの処理の実行のために、下位装置からのデータを受信処理する受信データユニットと、この受信されたデータを上位装置に送信処理する送信データユニットと、受信データユニットから送信データユニットへのデータの受け渡しを実行する主データユニットとを備えるよう構成するとともに、これらのユニット間でのデータ転送をDMAを使って実行するという構成をとることになる。このように構成される通信プロ

可能性もあったのである。

本発明はかかる事情に踏みてなされたものであって、通信プロセッサのバス上のデータに異常があるときに、上位装置に対して誤ったデータが送信されないようにするとともに、システムに対して重大な損害を与えることのない通信プロセッサのバス異常検出処理方式の提供を目的とするものである。

(課題を解決するための手段)

第1図は本発明の原理構成図である。

図中、1は通信プロセッサであって、低速回線を介して多数の下位装置からデータ情報を収集するとともに、収集したデータ情報を組み直して、高速回線を介して上位装置に送信するよう処理するもの、2は下位装置、3は通信プロセッサ1と下位装置2とを結ぶ低速回線、4は上位装置、5は通信プロセッサ1と上位装置4とを結ぶ高速回線である。通信プロセッサ1は、受信データユニット10と、送信データユニット20と、主データ

タユニット30とから構成される。受信データユニット10は、下位装置2から送られてくるデータを受信し、送信データユニット20は、受信データユニット10の受信したデータを高速回線用に組み直して上位装置4に送信し、主データユニット30は、受信データユニット10から送信データユニット20へのデータの受け渡しを実行する。11、12、13、14、15、16は、それぞれ受信データユニット10の備えるローカルCPU、ローカルRAM、ローカルバス、データ伝送処理装置、ローカルバス異常検出回路、データ伝送処理装置停止回路である。このデータ伝送処理装置14は、ローカルバス13と主データユニット30の備えるシステムバス33との間のデータ伝送処理を実行し、ローカルバス異常検出回路15は、ローカルバス13上のデータの異常を検出し、データ伝送処理装置停止回路16は、データ伝送処理装置14の駆動を停止する処理を実行する。21、22、23、24、25、26は、それぞれ送信データユニット20の備えるローカ

ルCPU、ローカルRAM、ローカルバス、データ伝送処理装置、ローカルバス異常検出回路、データ伝送処理装置停止回路である。このデータ伝送処理装置24は、ローカルバス23と主データユニット30の備えるシステムバスとの間のデータ伝送処理を実行し、ローカルバス異常検出回路25は、ローカルバス23上のデータの異常を検出し、データ伝送処理装置停止回路26は、データ伝送処理装置24の駆動を停止する処理を実行する。31、32、33、35は、それぞれ主データユニット30の備えるメインCPU、システムRAM、システムバス、システムバス異常検出回路である。システムバス異常検出回路35は、システムバス33上のデータの異常を検出する。

(作用)

本発明では、データ伝送処理装置停止回路16、26は、ローカルバス異常検出回路15、25及びシステムバス異常検出回路35の内の1つが異常状態を検出したときには、対応するデータ伝送

処理装置14、24の駆動を直ちに停止させるよう処理する。

このように、本発明では、バス異常が発生したときに、ハードウェア回路に従って直ちにデータ伝送処理装置の駆動を停止させてるので、誤ったデータが伝送されてしまうことがなくなる。これから、上位装置に対して誤ったデータが送信されないようになるとともに、システムに対して重大な損害を与えることがないのである。

(実施例)

以下、実施例に従って本発明を詳細に説明する。

第2図に、通信プロセッサ1の使用状態を説明するための説明図を示す。この図に示すように、通信プロセッサ1は、複数の下位装置2で収集されたデータを例えばCDTのような低速の伝送手順で受け取るとともに、これらのデータを例えばHDLCのような高速の伝送手順に組み直して、上位装置4へと送信するよう処理するものである。

この処理の実行のために、通信プロセッサ1は、

下位装置2からのデータを受信処理する受信データユニット10と、この受信されたデータを上位装置4に送信処理する送信データユニット20と、受信データユニット10から送信データユニット20へのデータの受け渡しを実行する主データユニット30とを備えるよう構成するとともに、DMAを使って、受信データユニット10から主データユニット30へのデータ伝送と、主データユニット30から送信データユニット20へのデータ伝送を実行するよう構成する。

第3図に、本発明に係る通信プロセッサ1の実施例構成図を示す。図中、第1図で説明したものと同一のものについては、同一の記号で示してある。この図では、受信データユニット10と主データユニット30のシステムバス33との関係で本発明の実施例を開示したが、送信データユニット20と主データユニット30のシステムバス33との関係での実施例の構成も、基本的に変わることはない。

図中の14aは、第1図のデータ伝送処理装置

14に相当するDMAコントローラ、16aは、第1図のデータ転送処理装置停止回路16に相当するDMA停止回路である。このDMA停止回路16aは、図に示すように、第1の切換回路41、第2の切換回路42、切換制御回路43、第1のANDゲート44、第2のANDゲート45及びORゲート46からなる。

この第1の切換回路41は、DMAコントローラ14aからのバス要求信号をローカルバス13かシステムバス33のいずれかに送り出すべく切り換え処理し、第2の切換回路42は、ローカルバス13とシステムバス33から返されるバス使用許可信号を、DMAコントローラ14aに戻すべく切り換え処理し、切換制御回路43は、第1の切換回路41と第2の切換回路42の切り換え処理を制御する。そして、第1のANDゲート44は、システムバス33側からのバス使用許可信号が戻ってきていていることを条件に、システムバス異常検出回路35がシステムバス33上のデータの異常を検出したときに出力を送出し、第2のA

N Dゲート45は、ローカルバス回路13からのバス使用許可信号が戻ってきていることを条件に、ローカルバス異常検出回路15がローカルバス13上のデータの異常を検出したときに出力を送出し、ORゲート46は、第1のANDゲート44か第2のANDゲート45のいずれかから出力があったときに、DMAコントローラ14aの駆動を停止すべく出力を送出する。

次に、このように構成される実施例の処理内容について説明する。

下位装置2からのデータを受信した受信データユニット10が、主データユニット30に対して受信したデータを伝送するときには、ローカルCPU11は、DMAコントローラ14aに対して起動命令を送出するとともに、切換制御回路43を介して、第1及び第2の切換回路41、42をローカルバス13側に切り換えるよう処理する。このようにして起動されるDMAコントローラ14aは、第1の切換回路41を介してバス要求信号を送出し、第2の切換回路42を介してローカ

ルCPU11からバス使用許可信号が戻ってきたことを確認すると、ローカルRAM12に格納されている下位装置2からのデータを読み込むよう処理する。この読み込みが終了すると、ローカルCPU11は、第1及び第2の切換回路41、42をシステムバス33側に切り換えるよう処理する。続いてDMAコントローラ14aは、第1の切換回路41を介してバス要求信号を送出し、第2の切換回路42を介してメインCPU31からバス使用許可信号が戻ってきたことを確認すると、システムバス33を介して読み込んだデータをシステムRAM32に書き込むよう処理する。このようにして、データ転送が実現されることになる。

このDMAコントローラ14aが実行する受信ユニット10から主データユニット30へのデータ転送の処理中に、ローカルバス異常検出回路15が転送中のローカルバス13上のデータ異常を検出したときには、ORゲート46からの出力信号で、直ちにDMAコントローラ14aの駆動が停止されるとともに、システムバス異常検出回路

35が転送中のシステムバス33上のデータ異常を検出したときには、同じくORゲート46からの出力信号で、直ちにDMAコントローラ14aの駆動が停止されることになる。このように、本発明では、バス異常を検出したときには、直ちにDMA停止回路16aに従って、DMAコントローラ14aの駆動を停止するよう処理するのである。そして、この後、データ異常のあったバス側のCPUが、DMAコントローラ14aのアドレスレジスタを参照することにより、どのアドレスでバス異常が発生したかの解析を実行し、必要な処理を行うことになる。なお、主データユニット30から送信データユニット20へのデータ転送処理におけるバス異常も、同様に処理されるものである。

本発明と従来技術との差異を明確にするために、本発明の処理内容のタイムチャートを第4図に、また、従来技術の処理内容のタイムチャートを第5図に示す。この第5図のタイムチャートに示すように、従来技術では、データ転送中に何回もバ

ス異常が発生するようなことがあっても、データ伝送が終了するまでは、CPUはバス異常処理に入ることはなかったのである。

以上図示実施例について説明したが、本発明はこれに限定されるものではない。例えば、通信プロセッサの値える送受信ユニットの数は単数に限られるものではなく、複数であってもよいのである。また、具体的なバス異常の検出方法は、バーティチェックやECCエラーチェック等様々なもの用いることができる。

(発明の効果)

このように、本発明によれば、バス異常が発生したときに、ハードウェア回路に従って直ちにデータ転送処理装置の駆動を停止させるので、誤ったデータが伝送されてしまうことがなくなる。これから、上位装置に対して誤ったデータが送信されないようになるとともに、システムに対して重大な損害を与えることがないのである。特に、DMA動作が原因でバス異常が発生するときにはそ

の後も連続してバス異常が続くことが多いので、本発明は有効なものとなる。

4. 図面の簡単な説明

第1図は本発明の原理構成図、

第2図は通信プロセッサの説明図、

第3図は本発明の通信プロセッサの実施例構成図、

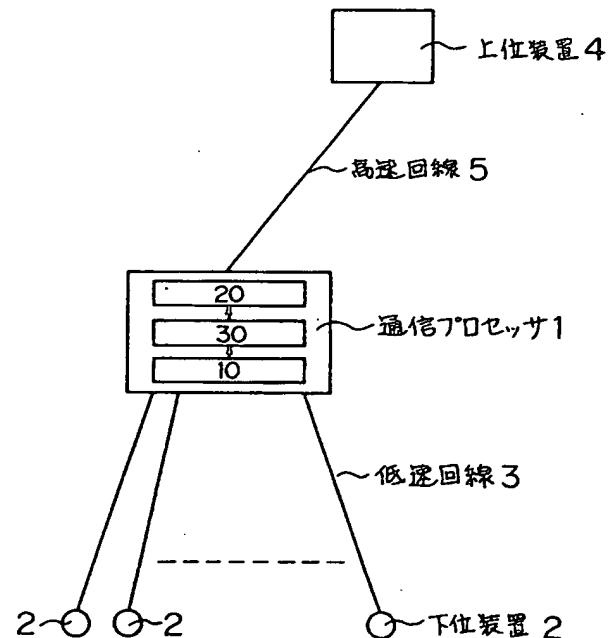
第4図は本発明の処理内容を説明するタイムチャート、

第5図は従来技術の処理内容を説明するタイムチャートである。

図中、1は通信プロセッサ、2は下位装置、3は低速回線、4は上位装置、5は高速回線、10は受信データユニット、11及び21はローカルCPU、13及び23はローカルバス、14及び24はデータ転送処理装置、15及び25はローカルバス異常検出回路、16及び26はデータ転送処理装置停止回路、20は送信データユニット、30は主データユニット、31はメインCPU、

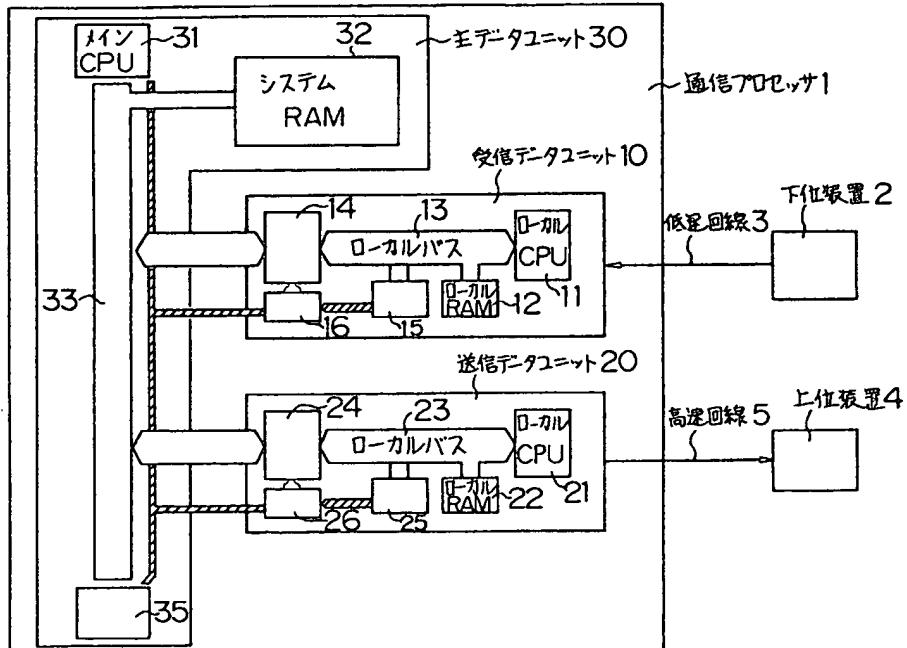
32はシステムRAM、33はシステムバス、35はシステムバス異常検出回路である。

特許出願人 富士通株式会社
代理人 弁理士 森田 寛(外2名)



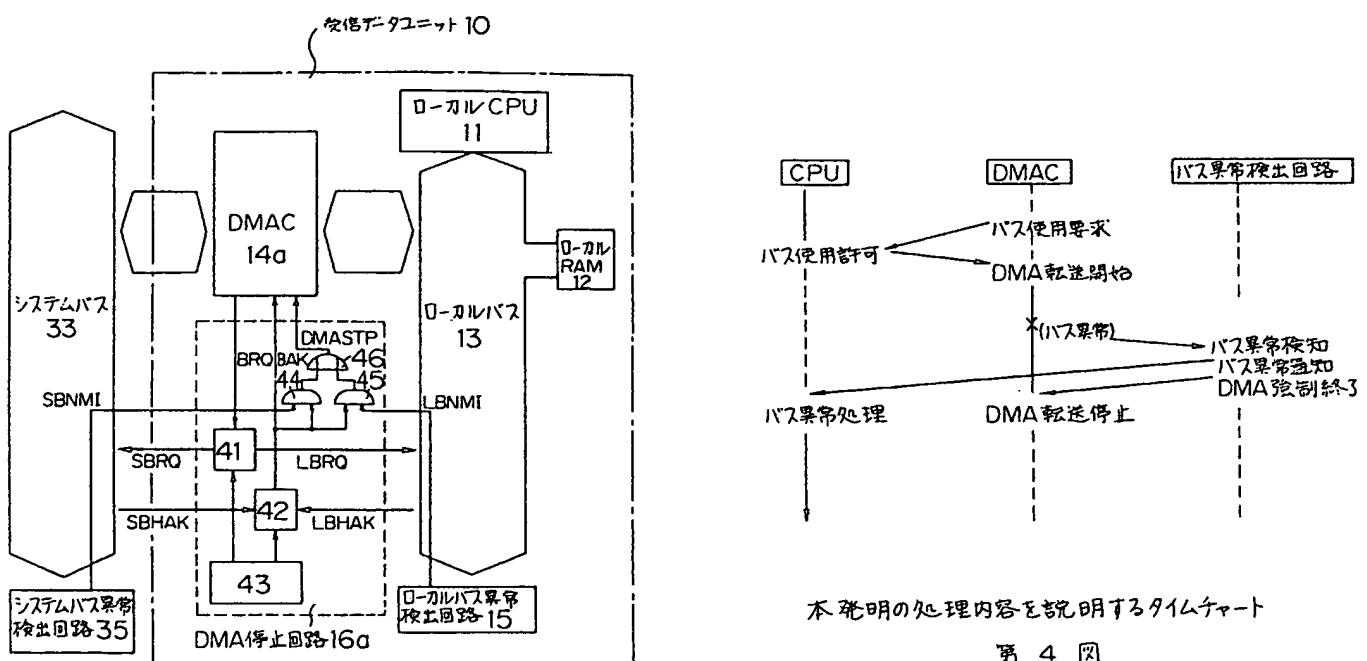
通信プロセッサの説明図

第2図



本発明の原理構成図

第1図

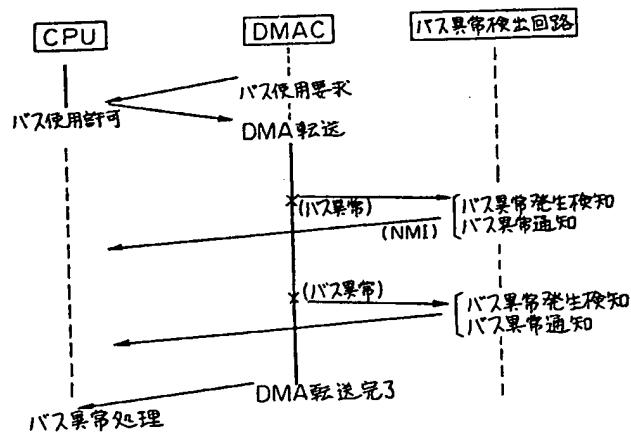


本発明の処理内容を説明するタイムチャート

第4図

本発明の通信プロセッサの実施例構成図

第3図



従来技術の処理内容を説明するタイムチャート

第 5 図